

トピックス

ゲート酸化膜の寿命予測

Prediction for Lifetime of Gate Oxide

半導体プロセス研究室 渡辺行彦

Yukihiko Watanabe

半導体デバイスは自動車の性能向上のために不可欠となっており、車載デバイスの信頼性を向上させることは重要な課題である。MOS型デバイスの信頼性を決めるゲート酸化膜の寿命評価は、一定電圧あるいは一定電流を酸化膜に印加し、破壊時間の分布を求める手法（TDDB：Time Dependent Dielectric Breakdown法）が用いられている。しかしながら、その破壊時間は幅広く分布するため、評価に非常に長い時間を必要とする。したがって、破壊時間分布を予測する手法が求められている。

酸化膜の破壊時間分布を予測するためには、酸化膜の破壊モデルを仮定する必要がある。本報告ではLee, J. C.¹⁾らが提案している局所的な薄膜化モデルを用いた。このモデルは酸化膜中に実効膜厚が薄くなったウィークスポットが存在し、これによって、破壊時間分布が決定されるというものである。このモデルを用いると酸化膜の真性破壊時間の電界係数と破壊耐圧がわかれば、任意の雰囲気温度での電圧印加時の破壊時間が以下の式を用いて予測できる。

$$t_{BD}(T) = \tau_0(T) \cdot \left[\frac{V_{BD}^2}{\tau_0 \cdot G \cdot R \cdot X_{eff}} \right]^{\frac{G(T) \cdot V_{BD}}{G \cdot V_{ox}}}$$

$t_{BD}(T)$ ：温度(T)での寿命時間

$\tau_0(T)$, $G(T)$ ：温度(T)での電界係数

τ_0 , G ：室温の電界係数

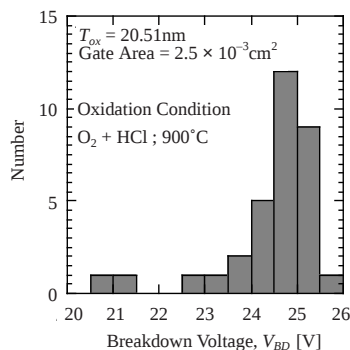


Fig. 1 Histogram of oxide breakdown voltage using ramp voltage method. These results were measured at room temperature (27°C).

R ：ランプレート (2V/sec)

X_{eff} ：実効酸化膜厚 ($0.25 \cdot T_{ox}$ ：ゲート酸化膜厚)

V_{ox} ：寿命を求めたい印加電圧

V_{BD} ：ゲート酸化膜破壊電圧

電界係数は酸化膜に一定電界（電流）を印加し、破壊に至るまでの時間を求め、その時間と印加電界の関係より算出した。また、雰囲気温度による電界係数の依存性も同様に求めた。

ゲート酸化膜の破壊電圧分布は一定レート (R) で電圧を増加させ、酸化膜破壊電圧 (V_{BD}) を求める電圧ランプ法を用いて、室温で測定した (Fig. 1)。

これらの結果と上式を用いて酸化膜の破壊時間分布を予測した。Fig. 2(a)に室温での破壊時間分布の実測結果と予測結果を示す。実測値と予測値は良く一致している。また、高温 (150°C) においても良い一致が得られた (Fig. 2(b))。

以上の結果より、本方法を用いることにより、任意の電圧、温度でストレスを印加したときのゲート酸化膜の破壊時間分布を予測することが可能となった。また、実際には測定が難しい短い破壊時間における故障率の予測も可能となった。

参考文献

- 1) Lee, J. C., Chen, I-C. and Hu, C.: "Modeling and Characterization of Gate Oxide Reliability", IEEE Trans. Electron Dev., 35-12(1988), 2268

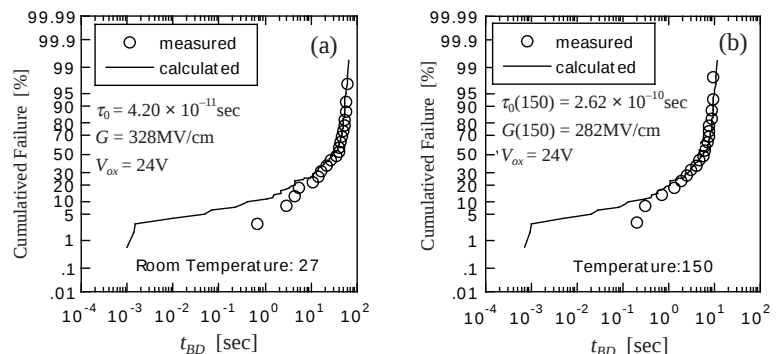


Fig. 2 Cumulative failure versus time-to-breakdown, t_{BD} for (a) stress at room temperature and (b) stress at 150°C of 20.51nm oxide with $2.5 \times 10^{-3} \text{ cm}^2$ gate area. Solid curves are derived from model equation. The field acceleration coefficients are shown in figures.