



SOI-CMOSによるOPアンプの入力オフセット電圧低減

集積化デバイス研究室 杉山隆英

Reduction of the Input Offset Voltage of OP-amplifier Using SOI-CMOS

Takahide Sugiyama

汎用VLSIに対し高機能，低消費電力化等の観点から，CMOS (Complementary Metal Oxide Semiconductor) のみで構成されるデジタル / アナログ混載型LSIが強く要望されている。しかしアナログ回路の特性バラツキが問題になっている。そこで従来のバルクCMOSに代わりSOI (Silicon On Insulator)-CMOSを用いる事で，アナログ基本回路である演算増幅器 (OPアンプ) の入力オフセット電圧バラツキが低減出来ることを実証したのでその概要を紹介する。

Fig. 1にバルク及びSOI-nMOSFETのチャネル不純物濃度に対するしきい値電圧及びリーク電流特性のシミュレーション結果を示す。しきい値電圧特性の傾きから，入力オフセット電圧バラツキに起因するしきい値電圧バラツキ低減にチャネル不純物濃度の低減が有効である事が分かる。しかしリーク電流が指数関数で増加する問題が生じる。

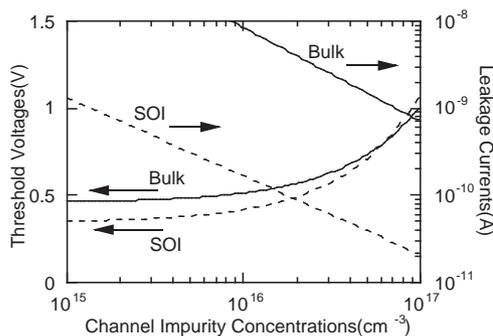


Fig. 1 Threshold voltage and Leakage current vs Channel impurity concentration of nMOSFET's (simulation). solid line: Bulk, dotted line: SOI.

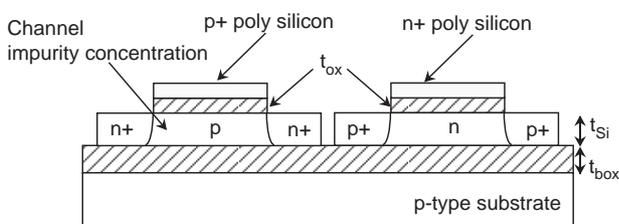


Fig. 2 Cross section of SOI-CMOS structure.

一方SOI-CMOSは絶縁体上にあるため (Fig. 2) , チャネル不純物濃度を低くしてもバルクMOSFETに比べリーク電流が小さく，かつしきい値電圧バラツキも低減できる。

試作したSOI-CMOSはシリコン膜厚 (t_{Si}) 175nm，埋め込み酸化膜厚 (t_{box}) 100nmのSIMOX (Separation by IMplanted OXYgen) 基板で作製した。ゲート酸化膜厚 (t_{ox}) 20nm，チャネル不純物濃度を決定するイオン注入量は $1 \times 10^{11} \text{cm}^{-2}$ で，通常バルクCMOSの場合 ($9 \times 10^{11} \text{cm}^{-2}$) に比べ約1桁低く設定した。Fig. 3に入力オフセット電圧をヒストグラムでプロットした結果を示す。3 σ でSOI-CMOS，バルクCMOSのバラツキは $\pm 1.50 \text{mV}$ ， $\pm 4.71 \text{mV}$ となり約1/3バラツキを低減する事ができた。リーク電流も約2桁程度小さい事を実測で確認しており，今後SOI-CMOSがデジタル / アナログ混載型LSIを実現するデバイス構造として有効になってくると考えられる。

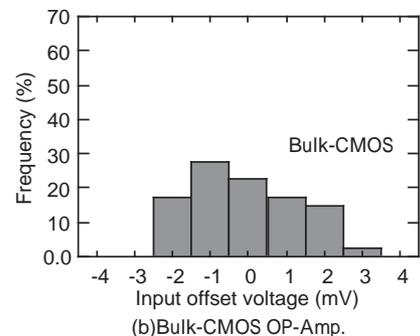
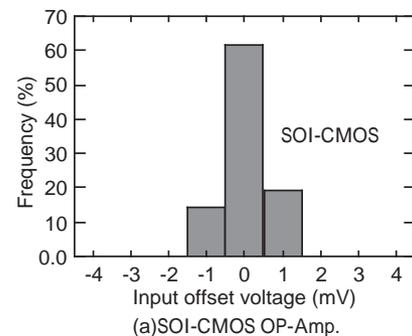


Fig. 3 Histogram of input offset voltage.