

# ミリ波帯トランジスタ用微細ゲート加工技術

パワー・高周波デバイス研究室 伊藤健治

## Gate Fabrication Technique for Millimeterwave Transistor

Kenji Itoh

近年、車載レーダや無線LAN ( Local Area Network ) をターゲットとしたミリ波帯 ( 60あるいは76GHz帯 ) の技術開発が進められている。このような高い周波数の信号を取り扱うデバイスとしてGaAsを用いたHEMT ( High Electron Mobility Transistor ) が期待されているが、ミリ波帯で動作可能なHEMT作製のためにはゲート電極部に $0.15\mu\text{m}$ 以下の加工を施す必要がある。通常の光を用いたフォトリソグラフィのみでは、このような微細ゲートパターンを直接描画することは困難なため、一般には電子ビームを用いたリソグラフィなどが必要とされる。しかし、装置コストが高いことやスループットが低いためにプロセスコストの低減が課題である。そこで当所では、フォトリソグラフィと絶縁膜の堆積、エッチングといった従来技術を組み合わせ、 $0.15\mu\text{m}$ 以下のゲートパターン微細化プロセスを開発し、ミリ波帯で動作可能なトランジスタの試作に応用した。

Fig. 1に微細化プロセスを示す。露光装置により形成したレジストパターンを、RIE ( Reactive Ion Etching ) を用いて絶縁膜 (

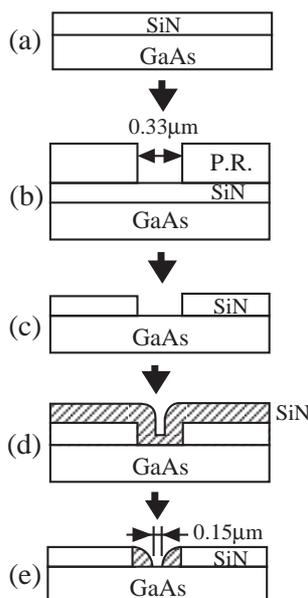


Fig. 1 Side wall formation process.

SiN) に転写する ( 同図(c) )。絶縁膜段差部へのCVD ( Chemical Vapor Deposition ) による均一なSiNの堆積 ( 同図(d) ) とRIEを用いた異方性エッチング ( 同図(e) ) により、段差側壁部に堆積したSiN ( 同図斜線部 ) を残す。これによりSiNの開口幅を小さくすることができる。加工後の開口幅はFig. 1(e)におけるRIEのエッチング異方性が高いほど小さくできる。ここではエッチング時の圧力を減少させ、エッチングと同時に起こる反応生成物の堆積を促進させることにより、側壁のエッチングを抑制し、エッチングの異方性を高めた。これら絶縁膜の堆積膜厚やエッチング時間の制御により、 $0.15\mu\text{m}$ のパターン形成が可能となった。

次に、本方法をHEMTのゲート電極形成法として適用した。ここではゲート抵抗の低減とRIEによるキャリアの不活性化の抑制が課題となった。低抵抗なゲート電極形成のためには、その断面形状をY型等として断面積を大きくするとともに、小さなSiN開口部へゲート金属を埋め込む必要がある。本方法では絶縁膜層厚 ( Fig. 1(a) ) を最適化し、側壁部のテーパ角を大きくすることにより、蒸着によって金属内部に隙間のないゲート電極形成を可能にした ( Fig. 2 )。

これらの技術を用いて最大発振周波数200GHz、電流遮断周波数65GHz、76.5GHzにおける最大有

能電力利得6.8dBのHEMTが実現できた。このHEMTの周波数特性向上により、今後、ミリ波帯における増幅器やミキサなどのMMIC ( Monolithic Microwave Integrated Circuit ) 化が期待できる。

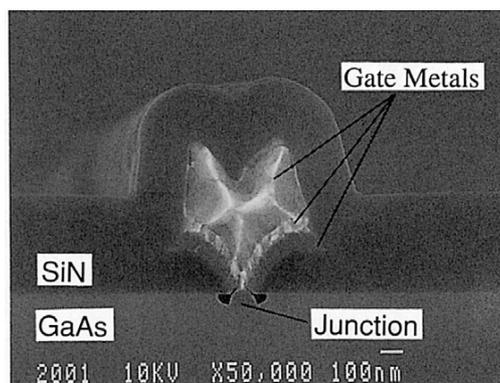


Fig. 2 SEM photograph of gate metals.