

破壊電圧分布からのMOSトランジスタゲート酸化膜寿命予測

渡辺行彦

Prediction of MOSFET's Gate Oxide Lifetime from Breakdown Voltage Distribution

Yukihiko Watanabe

要 旨

我々は、電圧ランプ法を用いて測定したゲート酸化膜の破壊電圧分布から酸化膜の実効薄膜化量の密度分布を求め、それから導出した密度関数を用いてTDDB特性を予測する方法を検討した。その結果、偶発故障領域から真性破壊領域までのTDDB特性を精度良く予測することができた。

キーワード 酸化膜, 信頼性, 破壊電圧, 寿命, 予測

Abstract

We have investigated a method of predicting TDDB characteristics of gate oxide from the breakdown voltage distribution measured by the voltage ramp method. The TDDB characteristics were predicted from the distribution function of the oxide effective thinning density that was calculated using the breakdown voltage distribution. The predicted TDDB characteristics were in good agreement with the measured characteristics in both intrinsic and extrinsic breakdown regions.

Keyword Oxide, Reliability, Breakdown voltage, Lifetime, Prediction

1. はじめに

ゲート酸化膜の信頼性はMOSデバイスにおいて最も重要であり、デバイス信頼性保証の1項目である。従来、酸化膜の信頼性評価にはTDDB (Time Dependent Dielectric Breakdown: 経時破壊) 測定が用いられてきた。しかし、TDDB測定結果はFig. 1に示すように破壊時間が2~3桁の範囲で分布する。このことから、TDDB測定より酸化膜の寿命を推定するにはこの分布を考慮した評価を行う必要があり、評価に多大な時間が必要であることがわかる。そこで、短時間で酸化膜の寿命を評価する方法が望まれている。

短時間に酸化膜の寿命を評価する手法として一

定レートで印加電圧を酸化膜が破壊するまで増加

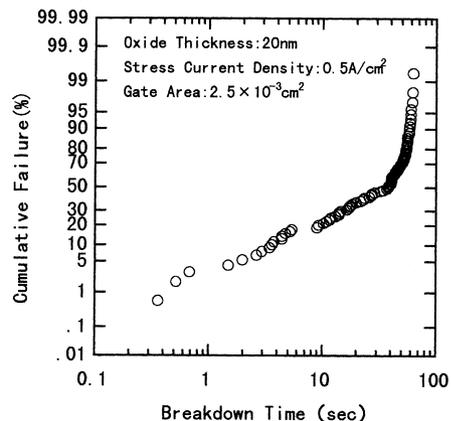


Fig. 1 Typical TDDB characteristics.

させる電圧ランプ法から求めた破壊電圧より TDDDB 寿命を予測する方法が提案されている¹⁻³⁾。しかしながら、提案されている方法は実動作状態の寿命を予測することが困難であり、実用性に乏しい。そこで、我々は実用性に富む方法として、局所薄膜化密度関数という新たな概念を用い、ゲート酸化膜の破壊電圧分布から局所薄膜化密度関数を導出し、その関数を用いて寿命分布を予測する方法について検討した。

2. 酸化膜の寿命予測モデル

2.1 酸化膜寿命のばらつき

酸化膜寿命とは、ある電圧（電流）ストレスを印加したとき、酸化膜が破壊に至るまでの時間である。酸化膜破壊モデルは多数報告されているが、そのメカニズムについては統一的な見解は得られていない。しかしながら、全てのモデルに関して言えることは、「酸化膜の破壊は膜中に電荷が捕獲されて生ずる」という点である。Lee, J. C. ら¹⁾が提唱している「正孔トラップモデル」によれば、酸化膜の真性寿命 t_{BD} は式 (1) によって表される。

$$t_{BD} = \tau_o \exp\left(\frac{G}{E_{ox}}\right) = \tau_o \exp\left(\frac{G \cdot X_{ox}}{V_{ox}}\right) \quad (1)$$

ここで、

$$\begin{aligned} E_{ox} &: \text{印加電界} & V_{ox} &: \text{印加電圧} \\ X_{ox} &: \text{酸化膜厚} & \tau_o, G &: \text{係数} \end{aligned}$$

である。

また、酸化膜中に何らかの欠陥が存在し、それにより酸化膜厚が実効的に Fig. 2 に示すように薄くなったとすると式(1)は式(2)のようになる。

$$t_{BD} = \tau_o \exp\left(\frac{G \cdot (X_{ox} - \Delta X_{ox})}{V_{ox}}\right) = \tau_o \exp\left(\frac{G \cdot X_{eff}}{V_{ox}}\right) \quad (2)$$

ここで、

$$\begin{aligned} X_{ox} &: \text{局所的な薄膜化量} \\ X_{eff} &: \text{薄膜化した場所での実効酸化膜厚} \end{aligned}$$

である。

TDDDB 試験で見られる破壊時間のばらつきはこの X_{eff} が個々の試料（測定デバイス）によって変

わるのが原因であると説明できる。言い換えれば、 X_{eff} のばらつきを求めることができれば、酸化膜の寿命ばらつきが予測できる。

2.2 電圧ランプ法より求めた破壊電圧と実効酸化膜厚 (X_{eff}) の関係

電圧ランプ法は Fig. 3 に示すように一定レート (R) で電圧を酸化膜が完全破壊するまで増加させ破壊電圧 (V_{BD}) を評価する方法である。

この方法でも酸化膜破壊は TDDDB 試験と同じようにダメージが累積され破壊に至る。このとき、 V_{BD} と X_{eff} の関係は式(3)で与えられる。

$$\tau_o = \frac{V_{BD}^2}{R \cdot G \cdot X_{eff}} \exp\left(-\frac{G \cdot X_{eff}}{V_{BD}}\right) \quad (3)$$

ここで、

R : 電圧ランプレート

V_{BD} : 電圧ランプ法で測定した破壊電圧である。

したがって、式(3)から破壊電圧 V_{BD} は X_{eff} に置き換えることができる。

次に、累積故障率から X_{eff} の密度を求める。ここで、 X_{eff} の分布がポアソン分布していると仮定

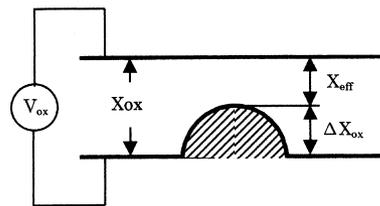


Fig. 2 Local thinning model.

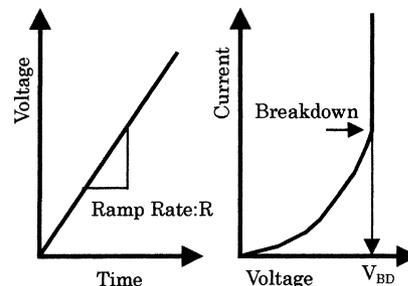


Fig. 3 Voltage ramp method.

する。破壊電圧の累積故障率 F_{BD} は式(4)のように与えられる。

$$F_{BD} = 1 - \exp(-S \cdot D(X_{ox})) \quad (4)$$

ここで、

S : 測定キャパシタの面積

$D(X_{ox})$: X_{ox} の密度

$$X_{ox} = X_{ox} - X_{eff}$$

である。

したがって、式(3)から X_{eff} を、式(4)から $D(X_{ox})$ を求めることにより、 X_{ox} と $D(X_{ox})$ の関係を求めることができる。すなわち、破壊電圧 V_{BD} とその累積故障率の関係は X_{eff} (または X_{ox})とその密度の关系到置き換えることができる。この関係はゲート酸化膜の面積に依存せず、酸化膜の形成プロセスのみに依存すると考えられる。

3. 実験

3.1 評価試料

測定に用いた試料は、n形シリコン基板(比抵抗: 0.8~1.2 \cdot cm)にLOCOS素子分離酸化を行った後、温度900 $^{\circ}$ C、 O_2 雰囲気中で膜厚20nmのゲート酸化膜を形成し、ポリシリコン電極(ドーピングはリン拡散)を形成したMOSキャパシタである。試料の断面構造をFig. 4に示す。

3.2 酸化膜破壊電圧測定

破壊電圧測定はランプレートを一にしたステップ電圧測定(正電圧印加)で行った。電圧ステップは0.1V、ランプレートは1V/secで行い、酸化膜を完全破壊させた。

3.3 定電流TDDDB測定

予測結果を検証するためのTDDDB測定は定電流(正電圧印加)で行い、真性破壊領域に着目した測定と偶発故障領域に着目した測定を行った。

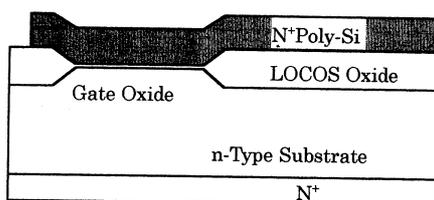


Fig. 4 Cross sectional view of MOS capacitor.

4. 実験結果

4.1 電圧ランプ法による破壊電圧分布

Fig. 5に酸化膜破壊電圧の測定結果のヒストグラムを示す。酸化膜を完全破壊させているのでCモード(真性破壊)領域がブロードな形状になっている。

また、Fig. 6はFig. 5の結果を破壊電圧 V_{BD} と累積故障率 F_{BD} のグラフに代えたものである。破壊電圧26Vを境に分布の傾きが異なっていることがわかる。この結果では、26V以上を真性破壊モード(Cモード)、26V以下を偶発破壊モード(Bモード)と分けることができる。

4.2 薄膜化量(X_{ox})の計算

電圧ランプ法によって測定された完全破壊電圧

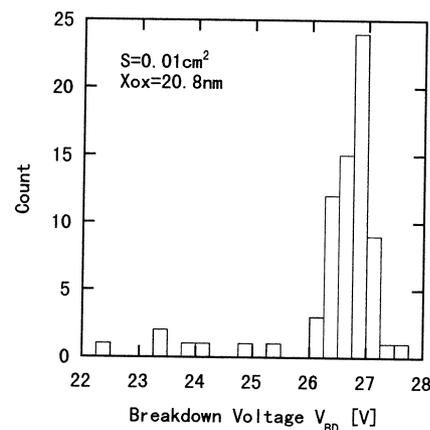


Fig. 5 Histogram of gate oxide breakdown voltage.

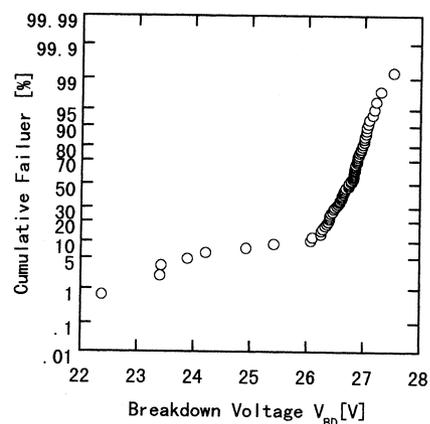


Fig. 6 Cumulative failure plot of gate oxide breakdown voltage.

V_{BD} から薄膜化量 (X_{ox}) を計算するためには、式(3)を用いて X_{eff} を計算する必要がある。しかし、式(3)は非線形方程式であるため単純には解けない。そこで、数値計算により、 V_{BD} と X_{eff} の関係を計算した結果を Fig. 7 に示す。また、そのとき用いた係数を Table 1 に示す。

Fig. 7 から V_{BD} と X_{eff} の関係は一次式で近似できることがわかる。式(5)は得られた近似式である。

$$X_{eff} = -0.317 + 0.747 \times V_{BD} \quad (5)$$

実際に完全破壊電圧 V_{BD} から X_{eff} を求めるときにはこの近似式を用いた。

Fig. 8 はこの関係式を用いて Fig. 6 の結果を用いて $X_{ox} (=X_{ox} - X_{eff})$ を求め、更に $D (X_{ox})$ を式(4)を用いて求めた結果である。

Fig. 8 から全体の分布曲線が2本の指数関数で近似できることがわかる。また、それぞれ異なった酸化膜の破壊モードに対応していることを示している。そこでこの分布曲線を式(6)で近似した。

$$D = a1 \cdot \exp(-b1 \cdot X_{ox}) + a2 \cdot \exp(-b2 \cdot X_{ox}) \quad (6)$$

Fig. 8 の実線はこの近似曲線である。このグラフ

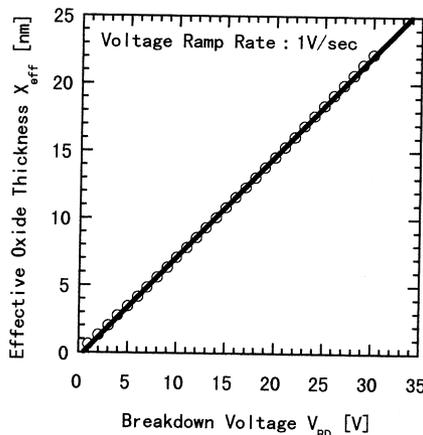


Fig. 7 Correlation between effective oxide thickness (X_{eff}) and breakdown voltage (V_{BD}).

Table 1 Calculation parameters of Fig. 7.

R	1V/ sec
τ_0	4.04×10^{-11} sec
G	326 MV/ cm

から $a1 = 95000$, $b1 = 4.91$, $a2 = 152$, $b2 = 0.41$ を得た。

4.3 密度関数を用いた TDDDB 寿命の予測

4.2 で求めた密度関数 $D (X_{ox})$ を用いて TDDDB 寿命を予測した。予測手法を以下に示す。

1) 式(2)に適当な X_{ox} を代入し、破壊時間 t_{BD} を計算する。

2) 一方、その X_{ox} を式(6)に代入し、密度 D を計算する。

3) 密度 D の計算結果を式(4)に代入し、累積故障率 F_{BD} を計算する。

4) t_{BD} と F_{BD} の値をプロットする。

Fig. 9 に TDDDB 特性の予測結果と実測結果を示す。実測結果は面積 $2.5 \times 10^{-3} \text{cm}^2$ ($500 \mu\text{m}$) の MOS キャパシタの定電流 (正電圧印加, $J_{st} = 0.5 \text{A/cm}^2$) TDDDB の室温での測定結果である。また、Table 2 に予測に用いたパラメータを示す。

Fig. 9 の結果より、予測値と実測値は良い一致が得られている。Fig. 9 で、TDDDB の実測結果では偶発故障領域のデータ点が少なく、予測が実測結果と一致しているかどうか明確に判断できない。そこで、偶発故障領域に着目した TDDDB 測定を行った。その結果を Fig. 10 に示す。この測定では、加速性を増すために、 150°C の温度雰囲気で行った。また、Table 3 にこのときの予測に用いたパラメータを示す。

Fig. 10 の結果においても Fig. 9 と同様に予測結果と実測結果は良い一致が得られている。

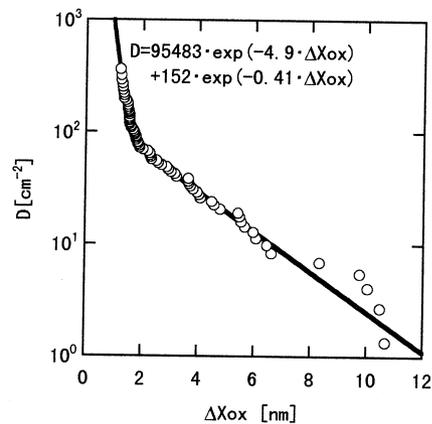


Fig. 8 Correlation between thinning density (D) and oxide thinning (X_{ox}).

Fig. 9, Fig. 10いずれの場合もおおむね予測と実測は良く一致し, 局所薄膜化量 X_{ox} とその密度分布関数を用いた予測は真性故障領域から偶発故障領域を精度良く予測できることがわかる。また, キャパシタの面積の異なる試料, TDDB測定を行った雰囲気温度が異なる条件においても予測可能であり, 本手法は非常に汎用性の高い手法であることがわかる。

5. 応用

以上の結果を基にここでは局所薄膜化密度関数の応用例として, 故障率の予測およびスクリーニング条件の決定方法について述べる。

5.1 故障率の予測

通常行っているTDDB試験は加速試験であり, その結果より実動作状態の寿命を予測している。しかしながら, 通常は真性破壊領域の寿命を予測するのみであり, 故障率(不良率)の予測は困難

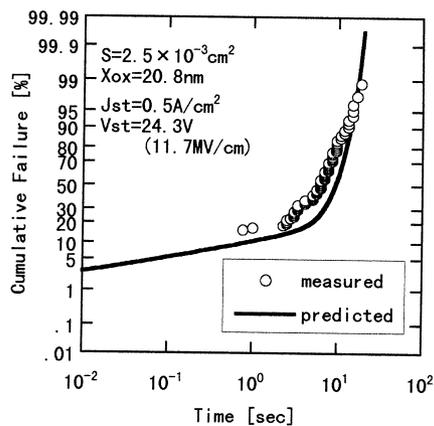


Fig. 9 Cumulative failure plots of measured (symbols) and predicted (line) time to failure at intrinsic region.

Table 2 Prediction parameters of Fig. 9.

$\tau_0 (R. T.)$	4.04×10^{-11} sec
$G (R. T.)$	326 MV/cm
V_{ox}	24.3V
X_{ox}	20.8nm
A	2.5×10^{-3} cm ²

であった。ここでは, 局所薄膜化密度関数から故障率を求める方法について述べる。

今, 故障率を予測したい実動作条件をTable 4 とする。

次に, この条件を満足する薄膜化量 (X_{ox}) を式(2)を用いて逆算する。今回用いた試料では X_{ox} は6.53nmとなった。この意味は6.53nm以下の X_{ox} を持つものはTable 4の条件を満たすことを示している。その値を式(6)に代入した結果 D (6.53nm) は 10.45 cm⁻²であった。この値と面積を式(4)に代入し計算すると故障率 F_{BD} は0.59となった。すなわ

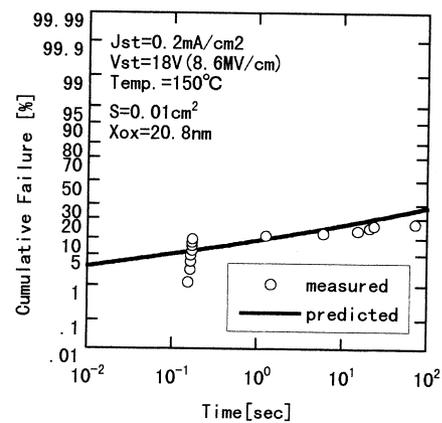


Fig. 10 Cumulative failure plots of measured (symbols) and predicted (line) time to failure at extrinsic region.

Table 3 Prediction parameters of Fig. 10.

$\tau_0 (150^\circ\text{C})$	2.67×10^{-11} sec
$G (150^\circ\text{C})$	281 MV/cm
V_{ox}	18V
X_{ox}	20.8nm
A	0.01 cm ²

Table 4 Typical operation conditions (example).

Temperature	100°C
Operation voltage	10V (Field : 5MV/ cm)
Operation time	10 year
Device area	5mm ²

ち、今回評価に用いた試料はTable 4で示した条件下では59%の不良が発生すると予測できる。

5.2 スクリーニング条件の検討

次に、Table 4の動作条件を満たさないものをスクリーニングにより取り除くときの条件について検討する。Fig. 11は薄膜化量 (X_{ox})と酸化膜破壊時間 (t_{BD})の関係を示した図である。この図は式(2)を用いて計算した結果である。図中のハッチングの部分はTable 4の動作条件を満たさず酸化膜が破壊する領域である。スクリーニング条件は短時間でFig. 11のハッチングの部分を取り除く条件である。Fig. 11中に印加電圧を15Vとした時、雰囲気温度を200とした時の X_{ox} と t_{BD} の関係を合わせて示している。これらの結果より、温度を200にした場合、スクリーニング時間は215日必要であるのに対し、印加電圧を15Vにした場合242秒である。このことから、ゲート酸化膜の不良をスクリーニングするには電圧加速が有効であることもわかる。

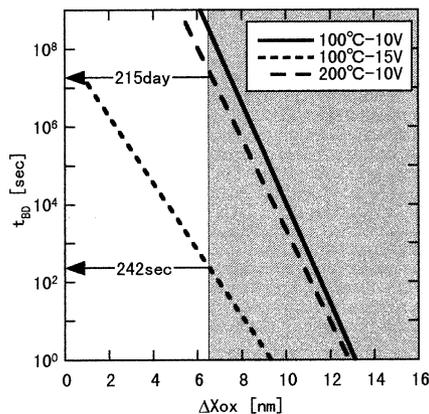


Fig. 11 Plots of time to failure (t_{BD}) versus oxide thinning (ΔX_{ox}).

また、式(2)を用いることにより所望のスクリーニング条件を決定することができる。

6.まとめ

電圧ランプ法で測定した破壊電圧の分布から局所薄膜化量 X_{ox} とその密度関数を求め、その密度関数を用いることにより、真性領域のみならず、偶発領域までの幅広い範囲でTDDDB寿命が予測できた。さらに、任意の温度、任意のストレス条件、任意のキャパシタ面積において寿命予測することが可能であることもわかった。

また、本方法の応用として、局所薄膜化密度関数から不良率の予測、さらに、スクリーニング条件の抽出方法を述べた。

参考文献

- 1) Lee, J. C., et al. : IEEE Trans. on Electron Devices, 35-12(1988), 2268
- 2) Moazzami, R., et al. : IEEE Trans. on Electron Device, 37-7(1990), 1643
- 3) Moazzami, R., et al. : IEEE Trans. on Electron Device, 36-11(1989), 2462

(1999年6月23日原稿受付)

著者紹介



渡辺行彦 Yukihiro Watanabe

生年：1959年。

所属：集積化デバイス研究室。

分野：MOSデバイスの信頼性に関する研究。

学会等：IEEE Electron Device Society, 応用物理学会, 電子情報通信学会会員。